

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-224939

(43) 公開日 平成11年(1999) 8月17日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/115
21/8247
29/788
29/792

H 0 1 L 27/10 4 3 4
29/78 3 7 1

審査請求 未請求 請求項の数14 O L (全 16 頁)

(21) 出願番号 特願平10-25861

(22) 出願日 平成10年(1998) 2月6日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小野田 宏

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 三原 雅章

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 高田 裕

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

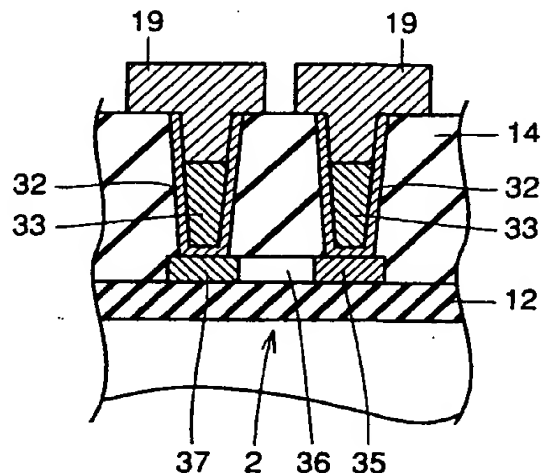
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 サージまたは汚染に強いポリダイオード素子を含む半導体装置を提供することを主要な目的とする。

【解決手段】 ポリダイオード素子2のP型層35に抵抗素子(バリアメタル膜32+タングステンプラグ33)を介在させて、アルミ配線34が接続されている。ポリダイオード素子2のN型層37に、抵抗素子(バリアメタル膜32+タングステンプラグ33)を介在させて、アルミ配線34が接続されている。



【特許請求の範囲】

【請求項1】 主表面を有する半導体基板と、

前記半導体基板の前記主表面に設けられた素子分離酸化膜と、

前記素子分離酸化膜の上に設けられた、P型層とN型層とを有するポリダイオード素子と、

前記ポリダイオード素子を覆うように前記半導体基板の表面に設けられた層間絶縁膜と、

前記層間絶縁膜中に設けられた、前記P型層を露出させる第1のコンタクトホールと、前記N型層を露出させる第2のコンタクトホールと、

前記第1のコンタクトホール内に設けられ、前記P型層に接続された第1の抵抗素子と、

前記第2のコンタクトホール内に設けられ、前記N型層に接続された第2の抵抗素子と、

前記第1の抵抗素子を介在させて、前記P型層に接続された第1の配線層と、

前記第2の抵抗素子を介在させて、前記N型層に接続された第2の配線層と、を備えた半導体装置。

【請求項2】 前記半導体基板の上に形成された、ポリシリコンのフローティングゲートを有する不揮発性半導体記憶素子をさらに含み、

前記ポリダイオード素子は、前記フローティングゲートと同じ材料で形成されている、請求項1に記載の半導体装置。

【請求項3】 前記第1および第2の抵抗素子は、バリアメタルおよび／またはタングステンブラグで形成されている、請求項1に記載の半導体装置。

【請求項4】 前記N型層は、前記P型層に接続されたN⁺型層と、該N⁺型層に接続されたN⁺⁺型層とからなる、請求項1に記載の半導体装置。

【請求項5】 前記ポリダイオード素子が、チャージポンプ型昇圧回路の一部として組込まれている、請求項1に記載の半導体装置。

【請求項6】 半導体基板と、

前記半導体基板の上に形成された、フローティングゲートとコントロールゲート該フローティングゲートと該コントロールゲートとの間に設けられたインターポリ絶縁膜とを有する不揮発性半導体記憶素子と、

前記半導体基板の主表面に形成された素子分離酸化膜と、

前記素子分離酸化膜の上に設けられた、前記フローティングゲートと同じ材質の、P型層とN型層とを有するポリダイオード素子と、

前記ポリダイオード素子を覆うように前記半導体基板の表面に設けられた層間絶縁膜と、

前記層間絶縁膜中に設けられた、前記P型層を露出させる第1のコンタクトホールと前記N型層を露出させる第2のコンタクトホールと、

前記第1のコンタクトホール内に設けられ、前記P型層

に接続された第1の抵抗素子と、

前記第2のコンタクトホール内に設けられ、前記N型層に接続された第2の抵抗素子と、

前記第1の抵抗素子を介在させて、前記P型層に接続された第1の配線層と、

前記第2の抵抗素子を介在させて、前記N型層に接続された第2の配線層と、を備えた半導体装置。

【請求項7】 半導体基板と、

前記半導体基板の上に形成されたフローティングゲートを有する不揮発性半導体記憶素子と、

チャージポンプ型昇圧回路と、を備え、

前記チャージポンプ型昇圧回路は、

前記半導体基板の主表面に形成された素子分離酸化膜と、

前記素子分離酸化膜の上に設けられた、前記フローティングゲートと同じ材質の、P型層とN型層とを有するポリダイオード素子と、

前記ポリダイオード素子を覆うように前記半導体基板の上に設けられた層間絶縁膜と、

前記層間絶縁膜中に設けられた、前記P型層を露出させる第1のコンタクトホールと前記N型層を露出させる第2のコンタクトホールと、

前記第1のコンタクトホール内に設けられ、前記P型層に接続された第1の抵抗素子と、

前記第2のコンタクトホール内に設けられ、前記N型層に接続された第2の抵抗素子と、

前記第1の抵抗素子を介在させて、前記P型層に接続された第1の配線層と、

前記第2の抵抗素子を介在させて、前記N型層に接続された第2の配線層と、を備える、半導体装置。

【請求項8】 前記ポリダイオード素子の少なくとも上部を覆う保護膜をさらに備える、請求項1に記載の半導体装置。

【請求項9】 前記ポリダイオード素子の少なくとも上部を覆う保護膜をさらに備え、

前記保護膜は、前記インターポリ絶縁膜と同じ材質で形成されている、請求項6に記載の半導体装置。

【請求項10】 前記ポリダイオード素子は、ノンドープポリシリコンで形成されている、請求項1に記載の半導体装置。

【請求項11】 半導体基板と、

前記半導体基板の上に形成された不揮発性半導体記憶素子とポリダイオード素子とを備え、

前記不揮発性半導体記憶素子は、

(A) 前記半導体基板の上に形成されたN型ポリシリコンのフローティングゲートと、

(B) 前記フローティングゲートの上に設けられた、酸化膜と窒化膜の多層膜からなるインターポリ絶縁膜と、

(C) 前記インターポリ絶縁膜の上に設けられた、そ

の下層がN型ポリシリコンであり、その上層がメタルシリサイドであるコントロールゲートと、を含み、前記ポリダイオード素子は、

(a) 前記半導体基板の表面に設けられた素子分離酸化膜と、

(b) 前記素子分離酸化膜の上に設けられた、P型層とN型層を有するPN接合用ポリシリコン層と、

(c) 前記PN接合用ポリシリコン層を覆うように前記半導体基板の上に設けられた層間絶縁膜と、

(d) 前記層間絶縁膜中に設けられた、前記P型層を露出させる第1のコンタクトホールと、前記N型層を露出させる第2のコンタクトホールと、

(e) 前記第1のコンタクトホール内に設けられ、前記P型層に接続された、バリアメタルおよび/またはタングステンプラグからなる第1の抵抗素子と、

(f) 前記第2のコンタクトホール内に設けられ、前記N型層に接続された、バリアメタルおよび/またはタングステンプラグからなる第2の抵抗素子と、

(g) 前記第1の抵抗素子を介在させて、前記P型層に接続された第1の配線層と、

(h) 前記第2の抵抗素子を介在させて、前記N型層に接続された第2の配線層と、を備えた半導体装置。

【請求項12】 周辺回路用PMOSトランジスタとポリダイオード素子を有する半導体装置の製造方法であって、

半導体基板の表面に素子分離酸化膜を形成する工程と、前記素子分離酸化膜の上に、前記ポリダイオード素子の母体となるポリシリコン層を形成する工程と、

前記PMOSトランジスタのソース・ドレイン領域を形成するためのP⁺イオン注入と同時に、該P⁺イオンを前記ポリシリコン層中に注入し、それによって前記ポリダイオード素子のP型層を形成する工程と、

前記ポリダイオード素子のN型層を形成する工程と、前記半導体基板の上に前記PMOSトランジスタを形成する工程と、を備えた半導体装置の製造方法。

【請求項13】 周辺回路用NMOSトランジスタと、ポリダイオード素子を有する半導体装置の製造方法であって、

半導体基板の表面に素子分離酸化膜を形成する工程と、前記素子分離酸化膜の上に、前記ポリダイオード素子の母体となるポリシリコン層を形成する工程と、

前記NMOSトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、該N⁺イオンを前記ポリシリコン層中に注入し、それによって前記ポリダイオード素子のN型層を形成する工程と、

前記ポリダイオード素子のP型層を形成する工程と、前記半導体基板の上に前記NMOSトランジスタを形成する工程と、を備えた半導体装置の製造方法。

【請求項14】 NMOS型メモリセルトランジスタと、ポリダイオード素子を有する半導体装置の製造方法

であって、

半導体基板の表面に素子分離酸化膜を形成する工程と、前記素子分離酸化膜の上に、前記ポリダイオード素子の母体となるポリシリコン層を形成する工程と、

前記NMOS型メモリセルトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、該N⁺イオンを前記ポリシリコン層中に注入し、それによって前記ポリダイオード素子のN型層を形成する工程と、

10 前記ポリダイオード素子のP型層を形成する工程と、前記半導体基板の上に前記NMOS型メモリセルトランジスタを形成する工程と、を備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一般に半導体装置に関するものであり、より特定的には、サージまたは汚染に強くなるように改良されたポリダイオード素子を有する半導体装置に関する。

20 【0002】

【従来の技術】不揮発性半導体記憶装置においては、メモリセルの書込/消去動作に高電圧（一般に10Vから20V）を必要とするため、従来は、外部電源を2電源（V_{DD}、V_{CC}、V_{SS}として高圧12V程度）必要としていた。最近、他のデバイスとの共通化のため、V_{CC}単一電源化が行なわれつつある。その場合は、チップ内にV_{CC}電源電圧からV_{PP}電圧に昇圧する回路が内蔵される。

30 【0003】チャージポンプ型昇圧回路は、LSIにおいて昇圧回路として用いられる一般的な回路であるが、以下に述べる問題点がある。すなわち、テキストブック「CMOS超LSIの設計」（培風館、第192頁～193頁）に、チャージポンプ回路の一例とその原理、およびその問題点が記述されている。それによれば、チャージポンプ型昇圧回路は、MOSダイオードと容量を単位としたユニットを直列に繋ぎ、2つのタイミングの異なるクロックにより、昇圧動作を行なう。しかし、整流素子がMOSダイオードである。MOSダイオードのV_{th}は、基板バイアス効果により、段数が多くなると段々大きくなるので、段数とともに、昇圧効率が悪化するという問題点があった。

50 【0004】論文IEEE International Solid-State Circuits Conference (1995) TA7.2 に開示されているチャージポンプ型昇圧回路は、MOSダイオードではなく、基板のトリプルウェル構造を用いて、基板にPN接合型ダイオードを形成している。これは、基板バイアス効果による効率悪化を受けない。しかし、トリプルウェル構造を形成しなければならず、プロセスが複雑でコストがかかるという問題点がある。また、基板上に形成するため、Nウェル-基板間の容量が寄生容量として働き、効

率を劣化させるという欠点があった。

【0005】一方、論文“Lateral polysilicon p-n diodes” (J. Electronchem Soc., 第125巻、第1648頁、1978年、10月発行)は、図38に示すような、ポリシリコンを用いたPN接合型ダイオード（以下、ポリダイオード素子と略する）を使用したチャージポンプ型昇圧回路を備えたEEPROMを開示する。このEEPROMは、また、論文（IEEE J. Solid-State Circuits, vol. SC-16, 第195頁、1981年、6月）や論文（IEEE Trans. Electron Devices, vol. ED-27, 第1211頁、1980年、7月）に発表されている。

【0006】図38を参照して、SiO₂膜1の上にポリダイオード素子2が形成されている。ポリダイオード素子2を覆うようにSiO₂膜1の上に層間絶縁膜3が形成されている。層間絶縁膜3中に設けられたコンタクトホールを通して、ポリダイオード素子のP型層にアルミ配線4が接続され、N型層にアルミ配線4が接合されている。

【0007】

【発明が解決しようとする課題】図38に示すようなポリダイオード素子を用いた場合、MOSダイオードを用いた場合や基板に形成されるPNダイオードを用いた場合に発生する問題、すなわち、基板バイアス効果や、寄生容量の問題はない。しかし、アルミ配線4が、ポリダイオード素子2と直接電氣的接触しているため、よく知られているように、アルミ配線4とポリダイオード素子2の界面で反応が起こり、それによって、接触抵抗がばらつき、ひいては、ポリダイオード素子2の特性がばらつく、という欠点があった。また、従来のポリダイオード素子の他の欠点としては、サージ等の電氣的ノイズに弱いという問題点があった。さらには、図38に示す従来のポリダイオード素子は、汚染に弱いという欠点があった。

【0008】この発明は、上記のような問題点を解決するようになされたもので、高性能なポリダイオード素子（PN接合素子）を有する半導体装置を提供することにある。

【0009】この発明の他の目的は、そのようなポリダイオード素子を用いることにより、高性能なチャージポンプ型昇圧回路を提供することにある。

【0010】この発明のさらに他の目的は、そのような昇圧回路を用いた、高性能な不揮発性半導体記憶装置を提供することにある。

【0011】この発明のさらに他の目的は、そのようなポリダイオード素子を有する半導体装置を、新しい工程を追加することなく、かつ余分なコストをかけることなく、製造する方法を提供することにある。

【0012】

【課題を解決するための手段】請求項1に係る半導体装

置は、主表面を有する半導体基板を備える。上記半導体基板の主表面に、素子分離酸化膜が設けられている。上記素子分離酸化膜の上に、P型層とN型層とを有するポリダイオード素子が設けられている。上記ポリダイオード素子を覆うように上記半導体基板の表面に層間絶縁膜が設けられている。上記層間絶縁膜中に、上記P型層を露出させる第1のコンタクトホールと、上記N型層を露出させる第2のコンタクトホールが設けられている。上記第1のコンタクトホール内に、上記P型層に接続された第1の抵抗素子が設けられている。上記第2のコンタクトホール内に、上記N型層に接続された第2の抵抗素子が設けられている。上記第1の抵抗素子を介在させて、上記P型層に第1の配線層が接続されている。上記第2の抵抗素子を介在させて、上記N型層に、第2の配線層が接続されている。

【0013】この発明によれば、N型層に第1の抵抗素子を介在させて第1の配線層が接続され、第2の抵抗素子を介在させてN型層に第2の配線層が接続されているので、サージ等の電氣的ノイズに強い半導体装置が得られる。

【0014】請求項2に係る半導体装置によれば、上記半導体基板の上に形成された、ポリシリコンのフローティングゲートを有する不揮発性半導体記憶素子をさらに含み、上記ポリダイオード素子は、上記フローティングゲートと同じ材料で形成されている。

【0015】この発明によれば、ポリダイオード素子が、フローティングゲートと同じ材料で形成されているので、フローティングゲートと同時に作ることができ、ひいては、何ら新しい工程を追加することなく、製造できる。

【0016】請求項3に係る半導体装置によれば、上記第1および第2の抵抗素子は、バリアメタルおよび／またはタングステンプラグで形成される。したがって、第1および第2の抵抗素子を、汎用の材料で形成できる。

【0017】請求項4に係る半導体装置によれば、上記N型層は、上記P型層に接続されたN⁺型層と、該N⁺型層に接続されたN⁺⁺型層とからなる。

【0018】この発明によれば、PNダイオードの順方向の特性が向上する。請求項5に係る半導体装置によれば、上記ポリダイオード素子が、チャージポンプ型昇圧回路の一部として組込まれている。

【0019】この発明によれば、上記特徴を有するポリダイオード素子が、チャージポンプ型昇圧回路の一部として組込まれているので、サージ等の電氣的ノイズに強い、チャージポンプ型昇圧回路が得られる。

【0020】請求項6に係る半導体装置は、不揮発性半導体記憶装置に関する。当該半導体装置は、半導体基板を備える。上記半導体基板の上に、フローティングゲートとコントロールゲート該フローティングゲートと該コントロールゲートとの間設けられたインターポリ絶縁膜

(interpoly dielectric film)を有する不揮発性半導体記憶素子が形成されている。上記半導体基板の表面に、素子分離酸化膜が形成されている。上記素子分離酸化膜の上に、上記フローティングゲートと同じ材質の、P型層とN型層とを有するポリダイオード素子が設けられている。上記ポリダイオード素子を覆うように上記半導体基板の上に層間絶縁膜が設けられている。上記層間絶縁膜中に、上記P型層を露出させる第1のコンタクトホールと上記N型層を露出させる第2のコンタクトホールが設けられている。上記第1のコンタクトホール内に、上記P型層に接続された第1の抵抗素子が設けられている。上記第2のコンタクトホール内に、上記N型層に接続された第2の抵抗素子が設けられている。上記第1の抵抗素子を介在させて、上記P型層に第1の配線層が接続されている。上記第2の抵抗素子を介在させて、上記N型層に第2の配線層が接続されている。

【0021】この発明によれば、第1の配線層が第1の抵抗素子を介在させてP型層に接続され、第2の配線層が第2の抵抗素子を介在させてN型層に接続されているので、サージ等の電氣的ノイズに強い不揮発性半導体記憶装置が得られる。

【0022】請求項7に係る半導体装置は、チャージポンプ型昇圧回路を備えた不揮発性半導体記憶装置に係る。当該半導体装置は、半導体基板を備える。上記半導体基板の上に、フローティングゲートを有する不揮発性半導体記憶素子と、チャージポンプ型昇圧回路が形成されている。上記チャージポンプ型昇圧回路は、上記半導体基板の表面に形成された素子分離酸化膜と、該素子分離酸化膜の上に設けられた、上記フローティングゲートと同じ材質の、P型層とN型層とを有するポリダイオード素子と、を備える。上記ポリダイオード素子を覆うように上記半導体基板の上に層間絶縁膜が設けられている。上記層間絶縁膜中に、上記P型層を露出させる第1のコンタクトホールと上記N型層を露出させる第2のコンタクトホールが設けられている。上記第1のコンタクトホール内に、上記P型層に接続された第1の抵抗素子が設けられている。上記第2のコンタクトホール内に、上記N型層に接続された第2の抵抗素子が設けられている。上記第1の抵抗素子を介在させて、上記P型層に第1の配線層が接続されている。上記第2の抵抗素子を介在させて、上記N型層に第2の配線層が接続されている。

【0023】この発明によれば、第1の配線層が第1の抵抗素子を介在させてP型層に接続され、第2の配線層が第2の抵抗素子を介在させてN型層に接続されているので、サージ等の電氣的ノイズに強いチャージポンプ型昇圧回路を備える不揮発性半導体記憶装置が得られる。

【0024】請求項8に係る半導体装置は、上記ポリダイオード素子の少なくとも上部を覆う保護膜をさらに備える。

【0025】この発明によれば、ポリダイオード素子の少なくとも上部を保護膜が覆っているため、汚染に強くなる。

【0026】請求項9に係る半導体装置は、上記ポリダイオード素子の少なくとも上部を覆う保護膜をさらに備え、上記保護膜は、上記インターポリ絶縁膜と同じ材質で形成されている。

【0027】この発明によれば、保護膜がインターポリ絶縁膜と同じ材質で形成されているので、新しい工程を追加することなしに、汚染に強い半導体装置が得られる。

【0028】請求項10に係る半導体装置においては、上記ポリダイオード素子は、ノンドープポリシリコンで形成される。

【0029】この発明によれば、ノンドープポリシリコンを用いるので、種々の導電型に加工することができ

る。

【0030】請求項11に係る半導体装置は、不揮発性半導体記憶装置に関する。当該半導体装置は、半導体基板と、上記半導体基板の上に形成された不揮発性半導体記憶素子とポリダイオード素子とを備える。上記不揮発性半導体記憶素子は、(A)上記半導体基板の上に形成されたN型ポリシリコンのフローティングゲートと、

(B)上記フローティングゲートの上に設けられた、酸化膜と窒化膜の多層膜からなるインターポリ絶縁膜と、

(C)上記インターポリ絶縁膜の上に設けられた、その下層がN型ポリシリコンであり、その上層がメタルシリサイドであるコントロールゲートと、を含む。上記ポリダイオード素子は、上記半導体基板の主表面に設けられた素子分離酸化膜を備える。上記素子分離酸化膜の上に、P型層とN型層とを有するPN接合用ポリシリコン層が設けられる。上記PN接合用ポリシリコン層を覆うように上記半導体基板の上に層間絶縁膜が設けられる。上記層間絶縁膜中に、上記P型層を露出させる第1のコンタクトホールと、上記N型層を露出させる第2のコンタクトホールが設けられる。上記第1のコンタクトホール内に、上記P型層に接続された、バリアメタルおよび/またはタングステンプラグからなる第1の抵抗素子が設けられる。上記第2のコンタクトホール内に、上記N型層に接続された、バリアメタルおよび/またはタングステンプラグからなる第2の抵抗素子が設けられる。上記第1の抵抗素子を介在させて、上記P型層に第1の配線層が接続されている。上記第2の抵抗素子を介在させて、上記N型層に第2の配線層が接続されている。

【0031】この発明によれば、第1の抵抗素子を介在させて、第1の配線層がP型層に接続され、第2の抵抗素子を介在させて、第2の配線層がN型層に接続されているので、サージ等の電氣的ノイズに強い不揮発性半導体記憶装置が得られる。

【0032】請求項12に係る半導体装置の製造方法

は、周辺回路用PMOSトランジスタとポリダイオード素子を有する半導体装置の製造方法に係る。まず、半導体基板の表面に素子分離酸化膜を形成する。上記素子分離酸化膜の上に、上記ポリダイオード素子の母体となるポリシリコン層を形成する。上記PMOSトランジスタのソース・ドレイン領域を形成するためのP⁺イオン注入と同時に、該P⁺イオンを上記ポリシリコン層中に注入し、それによって上記ポリダイオード素子のP型層を形成する。上記ポリダイオード素子のN型層を形成する。上記半導体基板の上にPMOSトランジスタを形成する。

【0033】この発明によれば、PMOSトランジスタのソース・ドレイン領域を形成するためのP⁺イオン注入と同時に、該P⁺イオンを上記ポリシリコン層中に注入し、それによってポリダイオード素子のP型層を形成するので、新しい工程を追加することなしに、ポリダイオード素子を形成することができる。

【0034】請求項13に係る半導体装置の製造方法は、周辺回路用NMOSトランジスタとポリダイオード素子を有する半導体装置の製造方法に係る。まず、半導体基板の表面に素子分離酸化膜を形成する。上記素子分離酸化膜の上に、上記ポリダイオード素子の母体となるポリシリコン層を形成する。上記NMOSトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、該N⁺イオンを上記ポリシリコン層中に注入し、それによって上記ポリダイオード素子のN型層を形成する。上記ポリダイオード素子のP型層を形成する。上記半導体基板の上に、上記NMOSトランジスタを形成する。

【0035】この発明によれば、NMOSトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、該N⁺イオンを上記ポリシリコン層中に注入し、それによって上記ポリダイオード素子のN型層を形成するので、新しい工程を追加することなしに、ポリダイオード素子を形成することができる。

【0036】請求項14に係る半導体装置の製造方法は、NMOS型メモリセルトランジスタとポリダイオード素子を有する半導体装置の製造方法に係る。まず、半導体基板の表面に素子分離酸化膜を形成する。上記素子分離酸化膜の上に、上記ポリダイオード素子の母体となるポリシリコン層を形成する。上記NMOS型メモリセルトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、該N⁺イオンを上記ポリシリコン層中に注入し、それによって上記ポリダイオード素子のN型層を形成する。上記ポリダイオード素子のP型層を形成する。上記半導体基板の上に上記NMOS型メモリセルトランジスタを形成する。

【0037】この発明によれば、NMOS型メモリセルトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、該N⁺イオンを上記ポリシリ

コン層中に注入し、それによって上記ポリダイオード素子のN型層を形成するので、新しい工程の追加なしに、ポリダイオード素子を形成することができる。

【0038】

【発明の実施の形態】まず、本発明が適用される不揮発性半導体記憶装置の1つであるDINOR型フラッシュメモリのメモリセルの書込・消去動作を説明する。

【0039】図1を参照して、読出時はコントロールゲート5に電源電圧3.3Vを印加し、メモリセルがオンするかオフ状態かを検出することにより、“1”、

“0”の判別を行なう。書込（プログラム）はコントロールゲート5に-11V、ドレイン拡散層に5V~9Vを印加し、フローティングゲート6に蓄積された電子を引抜くことにより行なわれる。書込を行なうとメモリセルのしきい値は低くなる。消去は、コントロールゲート5に12V、Pウェルに-11Vを印加し、フローティングゲート6に電子を注入することにより行なう。これによって、しきい値は高くなる。不揮発性半導体メモリセルの動作には、一般に、他の揮発性半導体メモリと大きく異なり、高電圧が必要である。

【0040】図2は、実施の形態に係る不揮発性半導体記憶装置の断面図である。半導体基板7の上に、不揮発性半導体記憶素子8とメモリセル用トランジスタ9と周辺PMOSトランジスタ10と周辺NMOSトランジスタ11とポリダイオード素子2とが設けられている（なお、図中、不揮発性半導体記憶素子8は、ワード線方向の断面図を表わしており、メモリセル用トランジスタ9は、ビット線方向の断面図を表わしている。以下の図においても同じである。）。不揮発性半導体記憶素子8

は、N型ポリシリコンで形成されたフローティングゲート6と、フローティングゲート6を被覆するように半導体基板7の上に設けられた、酸化膜と窒化膜の多層膜からなるインターポリ絶縁膜11と、インターポリ絶縁膜11を介在させて、フローティングゲート6を覆うように設けられた、その下層がN型ポリシリコンであり、その上層がメタルシリサイドであるコントロールゲート5とを含む。ポリダイオード素子2は、半導体基板7の主表面に設けられた素子分離酸化膜12を含む。素子分離酸化膜12の上に、P型層とN型層を有するPN接合用ポリシリコン層13が設けられている。PN接合用ポリシリコン層13を覆うように、半導体基板7の上に層間絶縁膜14が設けられている。層間絶縁膜14中に、P型層を露出させる第1のコンタクトホール15と、N型層を露出させる第2のコンタクトホール16とが設けられている。第1のコンタクトホール15内に、P型層に接続された、バリアメタルおよびタングステンブラグからなる第1の抵抗素子17が設けられている。第2のコンタクトホール16内に、N型層に接続された、バリアメタルおよびタングステンブラグからなる第2の抵抗素子18が設けられている。第1の抵抗素子17を介在さ

せて、P型層に配線層19が接続されている。第2の抵抗素子18を介在させて、N型層に配線層19が接続されている。第1の抵抗素子17および第2の抵抗素子18の存在により、サージ等の電氣的ノイズに強い、ポリダイオード素子となる。

【0041】次に、図2に示す不揮発性半導体記憶装置の製造方法について説明する。図3を参照して、シリコン基板7の主表面に素子分離酸化膜12とPウェルとNウェルを形成する。

【0042】図4を参照して、熱酸化法により、メモリセルのトンネル酸化膜20を形成する。減圧CVD法により、リン濃度が、およそ 1×10^{19} atoms/cm³程度（ 5×10^{19} atoms/cm³ ~ 2×10^{20} atoms/cm³の範囲で使用できる）のリンドーブN型多結晶ポリシリコンを、厚さ約100nmほど、堆積する（以下、これをフローティングゲート材という。）。写真製版を経て、フローティングゲート材のエッチングを行ない、メモリセルアレイ内においてはフローティングゲート材をビット線方向にストライプ状に加工し、フローティングゲート6を得る。周辺回路部においては、フローティングゲート材を、ポリダイオード素子の母体部21の形状に加工する。その他の部分のフローティングゲート材は、すべて除去する。

【0043】図5を参照して、フローティングゲート6を被覆するように、半導体基板7の上にインターポリ絶縁膜（酸化膜/窒化膜/酸化膜の3層構造、酸化膜換算膜厚で150~200nm程度）22を形成する。その後、写真製版を経て、レジスト23を用い、母体部21を除く周辺回路部のインターポリ絶縁膜を除去する。

【0044】図5と図6を参照して、レジスト23を除去後に、熱酸化により、周辺回路用MOSトランジスタ用のゲート酸化膜24を形成する。その後、ポリダイオードの母体部21においても、インターポリ絶縁膜を除去する。次に、コントロールゲート材（タングステンポリサイド：タングステンシリサイド/リンドーブN型多結晶ポリシリコン=100nm/100nm膜厚）を堆積し、写真製版を経て、エッチングを行ない、メモリセルアレイ内においてはコントロールゲート5を形成するとともに、周辺回路部においては周辺回路用MOSトランジスタゲート25を形成する。ポリダイオード素子となる母体部21の上にデポされたコントロールゲート材は、このとき除去される。

【0045】図6と図7を参照して、メモリセル内において、コントロールゲート5をマスクとして、インターポリ絶縁膜11と、その下のフローティングゲート材6をエッチングする。その後、イオン注入により、メモリセルのソース・ドレイン領域27を形成し、これによって、メモリセルを完成させる。メモリセルアレイ部とNMOSトランジスタ部を覆うレジストパターン28を形成し、周辺回路用PMOSトランジスタのP⁺拡散層形

成のためのP⁺注入（ボロンまたはBF₃）時に、ポリダイオード素子となる母体部21の一部領域にも、BF₃イオンを、20KeV、 $2 \sim 4 \times 10^{11}$ atoms/cm²程度注入する。注入領域はN型からP型に反転し、PN接合が形成される。

【0046】レジストパターン28を除去する。図8を参照して、メモリセル部周辺PMOSトランジスタ部およびポリダイオード素子となる母体部21の一部を覆うレジストパターン29を、シリコン基板7の上に形成する。レジストパターン29をマスクにして、周辺回路用NMOSトランジスタのN⁺拡散層形成のためのN⁺注入（ヒ素またはリン）時に、ポリダイオード素子となる母体部21の一部領域に、Asイオンを、50KeV、 $2 \sim 4 \times 10^{11}$ atoms/cm²程度注入を行ない、N型領域の横方向の抵抗を下げる。

【0047】図9を参照して、シリコン基板7の上に層間絶縁膜14を形成し、写真製版、エッチング技術を経て、層間絶縁膜14中に、PMOSトランジスタのソース・ドレインの表面およびNMOSトランジスタのソース・ドレイン領域の表面およびポリダイオード素子のN表面およびP表面を露出させるコンタクトホール31を形成する。

【0048】図9と図10を参照して、コンタクトホール31の底面および側壁を被覆するように、TiSi₂/TiNよりなるバリアメタル膜32を形成する。シリコン基板7の上全面に、タングステン膜をCVD法により堆積する。得られたタングステン膜の全面をエッチングすることにより、タングステンプラグ33をコンタクトホール31内に埋込む。これにより、ポリダイオード素子2が完成する。続いて、アルミ配線材をシリコン基板1の上に堆積し、写真製版、エッチング工程を経てアルミ配線19を形成すると、不揮発性半導体記憶装置が完成する。

【0049】なお、上記実施の形態では、ポリダイオード素子の材料として、フローティングゲート材を用いた。そして、ポリダイオード部のP⁺電極を形成するために、周辺PMOSトランジスタのP⁺イオン注入を用いた。また、ポリダイオードのN⁺電極部の抵抗を低減させるために、周辺NMOSトランジスタのN⁺注入を用いた。したがって、ポリダイオード素子を形成するために、いかなる余分な工程も追加する必要がない。

【0050】また、この変形として、次のような実施例も可能である。ポリダイオード素子の材料として、フローティングゲート材を用いる。P⁺電極形成のために、周辺PMOSトランジスタのP⁺イオン注入を用いる。N⁺電極部の抵抗低減として、メモリセルのソース・ドレイン領域を形成するためのN⁺イオン注入を用いる。このようにしても、ポリダイオード素子が形成できる。この実施の形態においても、ポリダイオード素子を形成するために、いかなる余分な工程も追加しないので、余

分なコストがかからない。

【0051】また、NMOS型メモリセルトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、ポリダイオード素子のN⁺電極を形成してもよい。

【0052】〔実施例〕上記実施の形態に係る方法によって形成される種々の構造を有するポリダイオード素子について、説明する。

【0053】実施例1

図11は、実施例1に係るポリダイオード素子の基本構成を示す断面図である。ポリダイオード素子は、P⁺部分35と、P⁺部分35に接触するN⁺部分36とN⁺部分36よりも濃度の高いN⁺部分37とを含む。バリアメタル膜32とタングステンプラグ33を介在させて、アルミ配線19が、P⁺部分35およびN⁺部分37に接続されている。

【0054】実施例2

図12は、実施例2に係るポリダイオード素子の断面図である。図11に示すポリダイオード素子と図12に示すポリダイオード素子との異なる点は、P⁺部分35、N⁺部分36およびN⁺部分37の上に、インターポリ絶縁膜からなる保護膜22が形成されている点である。このような保護膜22を設けることにより、ポリダイオード素子が汚染されなくなるという効果を奏する。

【0055】次に、図12に示すポリダイオード素子の製造方法について説明する。図13は、図4の工程の他の変形例を示す図である。すなわち、図13を参照して、メモリセルの下地形成工程において、フローティングゲート材26を堆積するところまでは、図4までの工程と同様である。図13に示す工程と図4に示す工程とが異なる点は、写真パターンを変更し、セルアレイ内においてはフローティングゲート材26をビット線方向にストライプ状に加工するが、周辺回路部においては、フローティングゲート材26を図のように残す。

【0056】図13(A)を参照して、引続き、インターポリ絶縁膜22を形成する。その後、図13(B)を参照して、写真製版を経て、レジスト37を用いて、周辺回路部において、ポリダイオード以外の部分のインターポリ絶縁膜およびその下のフローティングゲート材を除去する。レジスト37を除去する。その後、熱酸化により、周辺回路用MOSTランジスタ用のゲート酸化膜を形成する。この後は、図6～図10と同様の工程を経て、不揮発性半導体記憶装置が完成する。このような製造方法により、インターポリ絶縁膜22が保護膜としてポリダイオード素子の上に残したポリダイオード素子が得られる。

【0057】実施例3

図14は実施例3に係る、ポリダイオード素子の断面図である。図14に示すポリダイオード素子が図11に示すポリダイオード素子と異なる点は、PN接合層の表面

全体がインターポリ絶縁膜と同じ材料で形成された保護膜22で覆われている点である。

【0058】このようなポリダイオード素子の製造方法について説明する。まず、図1から図4までに示す処理が行なわれる。次に、図15を参照して、フローティングゲート6およびポリダイオード素子の母体部21を覆うように、シリコン基板7の上にインターポリ絶縁膜22を形成する。次に、写真製版を経て、レジスト23を用いて、不要な部分のインターポリ絶縁膜22を除去する。その後は、図6～図10と同様の工程を経ることにより、図14に示す不揮発性半導体記憶装置が完成する。

【0059】実施例4

図16は、実施例4に係るポリダイオード素子の断面図である。図16に示すポリダイオード素子は、以下の点を除いて、図11に示すポリダイオード素子と同じであるので、同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。図16に示すポリダイオード素子と図11に示すポリダイオード素子の異なる点は、PN接合面(35と36の境界面)がコンタクト孔の近傍に形成されている点である。このようなポリダイオード素子は、図7に示す工程において、P⁺イオン注入を行わずに、図9に示す工程において、ポリダイオードのP型のコンタクト孔にP⁺イオン注入を行なうことにより、形成される。

【0060】実施例5

図17は、実施例5に係るポリダイオード素子の断面図である。図17に示すポリダイオード素子は、母体部21の側壁のみに、保護膜22が形成されている点で、図14に示すポリダイオード素子と異なる。このような構造を有するポリダイオード素子は、以下のようにして形成される。

【0061】まず、図1から図5までの工程を経由する。すなわち、ポリダイオード部にインターポリ絶縁膜を残す。その後、図6に示す工程を経る。

【0062】その後、図18を参照して、CVD酸化膜38を、シリコン基板7の上に全面に堆積する。

【0063】図18と図19を参照して、CVD酸化膜38を全面的にエッチバックすることにより、サイドウォール39が形成されるとともに、母体部21の側壁にインターポリ絶縁膜22が保護層として残る。なお、サイドウォールスペーサ39を形成する目的は、周辺トランジスタにLDD構造を持たせるためである。

【0064】その後、図7～図10に示す工程と、同じ工程を経由することにより、図17に示すポリダイオード素子が得られる。なお、図12に示すポリダイオード素子の製造工程において、周辺トランジスタにLDD構造を用いる場合には、サイドウォール形成を行なうフローにおいて、図18に示すようにCVD酸化膜を全面堆積し、図19のように酸化膜の全面エッチバックを行な

うと、PN接合層の上に形成されたインターポリ絶縁膜が除去されてしまう。したがって、周辺トランジスタにLDD構造を用いる場合には、図20に示すように、酸化膜エッチバック工程において、写真製版技術により、ダイオード部をレジスト40でマスクし、保護膜であるインターポリ絶縁膜22を守る必要がある。

【0065】一般に、フローティングゲート材は、N型ポリシリコンであるが、不揮発性記憶素子、たとえばフラッシュメモリのセル動作を考慮すると、空乏化しないこと、大規模集積化および高密度化の要求より、フローティングゲート材はできるだけ薄膜であることが望まれている。一般的なフラッシュメモリのフローティングゲート材は、リン濃度 $1 \times 10^{20} / \text{cm}^3$ から $6 \times 10^{20} / \text{cm}^3$ 、膜厚200nm以下である。

【0066】上記発明の実施の形態では、 $1 \times 10^{20} / \text{cm}^3$ 、100nm膜厚のフローティングゲート材を使用した。本発明はこれに限定されるものではない。

【0067】さらに、図4に示す工程において用いるフローティングゲート材6は、減圧CVD法によって形成したものでもよいし、ノンドープポリシリコンを堆積後、リンの熱拡散で所望のリン濃度にしたものでもよい。さらに、ノンドープポリシリコンを堆積後、リンのイオン注入により、所望のリン濃度にしたものでもよい。

【0068】実施例6

上記実施例では、抵抗素子として、バリアメタル+タングステン柱を用いたが、本発明はこれに限定されるものではない。図21は、実施例6に係るポリダイオード素子の断面図である。図21に示すポリダイオード素子では、タングステン柱が用いられず、抵抗素子はバリアメタル膜32のみで形成されている。抵抗素子をバリアメタルだけで形成すると、効果は小さくなるが、サージ対策としては十分に有効である。

【0069】上記実施例1～6では、バリアメタルとしてTiSi₂、TiNを使用したが、この発明はこれに限られるものでなく、IV、V、VI族の遷移金属の窒化物、炭化物、硼化物、ならびにこれらの複合膜が、バリアメタルとして使用できる。

【0070】図22は、実施例1～6によって得られたポリダイオード素子の、等価回路図を示す。PNダイオードの両側に抵抗Rを追加することにより、サージ等の電気ノイズが印加された場合でも、ダイオードの前後に設けられた抵抗Rによる電圧降下により、ダイオードに直接かかる電圧は軽減され、破壊されにくくなる。

【0071】実施例1～6で得られたポリダイオード素子の特性を図23および図24に示す。図23は、縦軸logスケールのI-V特性を示し、図24は、縦軸リニアスケールのI-V特性を示す。

【0072】実施例7

実施例7以下はN型ポリシリコンをベースにしたポリダ

イオードの構造の種々の態様に係る。

【0073】図25に、実施例7に係るポリダイオードの平面図と、A-A線に沿う断面図を示す。ポリダイオードの順方向の特性向上のため、N型ポリシリコンのP型イオン注入領域以外の領域に、さらにN⁺⁺領域を形成するためのN型イオン注入を行なうものである。P⁺注入領域とN⁺⁺注入領域の間には、逆方向の耐圧の確保のため、一定の距離を設けている。

【0074】実施例8

図26に、実施例8に係るポリダイオードの平面図とA-A線に沿う断面図を示す。N型ポリシリコンにP型イオン（ボロン、BF₃）を注入する。注入エネルギーが十分大きく、P⁺注入領域においては、ポリシリコン材の底部までP反転したタイプである。PNダイオードの主たる接合面はP⁺注入領域の縁面に沿う縦方向の断面である。

【0075】実施例9

図27に、実施例9に係るポリダイオードの平面図とA-A線に沿う断面図を示す。

【0076】N型ポリシリコンにP型イオン（ボロン、BF₃）を注入する。注入エネルギーが小さく、ポリシリコン材のP⁺注入した領域の浅い層がP反転したタイプである。ポリダイオードの主たる接合面は、その浅いP⁺注入層の底部である。

【0077】実施例10

図28に、実施例10に係るポリダイオードの平面図と、A-A線に沿う断面図を示す。

【0078】ポリダイオードの順方向の特性向上のため、N型ポリシリコンのP型イオン注入領域以外の領域にN型イオン注入を行なったタイプである。逆方向の耐圧を確保するため、P⁺注入領域とN⁺注入領域を一定距離重ねている。重なった領域はN⁺層またはP⁺層となる。

【0079】実施例11

図29に、実施例11に係るポリダイオードの平面図と、A-A線に沿う断面図およびB-B線に沿う断面図を示す。

【0080】逆方向のリークを低減させるため、接合面を含む部分を一定の幅d以下とし、そのダイオードの複数個を並列に繋いだタイプである。一定の幅dは、ポリシリコンのグレインサイズの数倍程度以下であって、1μm以下である。

【0081】実施例12

図30に、実施例12に係るポリダイオード素子の平面図とA-A線に沿う断面図を示す。

【0082】N⁺⁺注入領域とP⁺注入領域の間の距離が、マスク材の幅Lgとなるものである。

【0083】このようなポリダイオード素子は、次のようにして作られる。図31（（A）は断面図を示し、（B）は平面図を示している）を参照して、フィールド

酸化膜12の上に、ポリダイオード素子の母体部21を形成する。

【0084】図32を参照して、コントロールゲートを形成する工程において、同時に母体部21の上に、幅Lgのマスク材60を設ける。マスク材60上にP⁺注入マスク用レジスト41を形成する。P型イオンを注入すると、P型イオンはレジストおよびマスク材60でマスクされた領域には、注入されない。

【0085】図33を参照して、引続き、マスク材60上に、N⁺注入マスクレジスト42を形成する。N型イオンを注入する際、N型イオンはレジスト42およびゲート60でマスクされた領域には注入されない。

【0086】図34を参照して、このような、イオン注入を行なうことにより、P型イオン注入領域とN型イオン注入領域が、一定の距離(Lg)離されたポリダイオード素子が得られる。

【0087】実施例13

実施例13以下は、ノンドープポリシリコンをベースにした、ポリダイオードの構造の態様を示す。

【0088】図35に、実施例13に係るポリダイオード素子の平面図とA-A線に沿う断面図を示す。

【0089】ノンドープポリシリコンにP型イオン(ボロン、BF₃)ならびにN型イオン(As、リン)を注入する。注入エネルギーが十分大きく、N⁺注入領域ならびにP⁺注入領域においては、ポリシリコン材の底部まで、N反転またはP反転したタイプである。

【0090】実施例14

図36に、実施例14に係るポリダイオード素子の平面図とA-A線に沿う断面図を示す。

【0091】逆方向の耐圧を確保するために、N⁺注入領域とP⁺注入領域が、一定距離重ねられているタイプである。

【0092】実施例15

図37に、実施例15に係るポリダイオード素子の平面図とA-A線に沿う断面図を示す。

【0093】ノンドープポリシリコンにN型イオン(As、リン)を全面注入する。注入エネルギーが十分大きく、N⁺注入領域においては、ポリシリコン材の底部までN反転する。さらに、P型イオン(ボロン、BF₃)を一部領域に注入する。P⁺注入領域においては、注入エネルギーが小さく、浅い層がP反転したタイプである。PNダイオードの主たる接合面は、その浅いP⁺注入層の底部である。なお、これと逆のタイプ(N⁺とP⁺が逆の場合)も同様の効果を奏する。

【0094】

【発明の効果】請求項1に係る半導体装置によれば、N型層に第1の抵抗素子を介在させて第1の配線層が接続され、第2の抵抗素子を介在させてN型層に第2の配線層が接続されているので、サージ等の電氣的ノイズに強い半導体装置が得られるという効果を奏する。

【0095】請求項2に係る半導体装置によれば、ポリダイオード素子が、フローティングゲートと同じ材料で形成されているので、フローティングゲートと同時に作ることができ、ひいては、何ら新しい工程を追加することなく、製造できるという効果を奏する。

【0096】請求項3に係る半導体装置によれば、第1および第2の抵抗素子を、汎用の材料で形成できるという効果を奏する。

【0097】請求項4に係る半導体装置によれば、PNダイオードの順方向の特性が向上するという効果を奏する。

【0098】請求項5に係る半導体装置によれば、サージ等の電氣的ノイズに強い、チャージポンプ型昇圧回路が得られるという効果を奏する。

【0099】請求項6に係る半導体装置によれば、第1の配線層が第1の抵抗素子を介在させてP型層に接続され、第2の配線層が第2の抵抗素子を介在させてN型層に接続されているので、サージ等の電氣的ノイズに強い不揮発性半導体記憶装置が得られるという効果を奏する。

【0100】請求項7に係る半導体装置によれば、第1の配線層が第1の抵抗素子を介在させてP型層に接続され、第2の配線層が第2の抵抗素子を介在させてN型層に接続されているので、サージ等の電氣的ノイズに強いチャージポンプ型昇圧回路を備える不揮発性半導体記憶装置が得られるという効果を奏する。

【0101】請求項8に係る半導体装置によれば、ポリダイオード素子の少なくとも上部を保護膜が覆っているため、汚染に強くなるという効果を奏する。

【0102】請求項9に係る半導体装置によれば、保護膜がインターポリ絶縁膜と同じ材質で形成されているので、新しい工程を追加することなしに、汚染に強い半導体装置が得られるという効果を奏する。

【0103】請求項10に係る半導体装置によれば、ノンドープポリシリコンを用いるので、種々の導電型に加工することができるという効果を奏する。

【0104】請求項11に係る半導体装置によれば、第1の抵抗素子を介在させて、第1の配線層がP型層に接続され、第2の抵抗素子を介在させて、第2の配線層がN型層に接続されているので、サージ等の電氣的ノイズに強い不揮発性半導体記憶装置が得られるという効果を奏する。

【0105】請求項12に係る半導体装置の製造方法によれば、PMOSトランジスタのソース・ドレイン領域を形成するためのP⁺イオン注入と同時に、該P⁺イオンを上記ポリシリコン層中に注入し、それによってポリダイオード素子のP型層を形成するので、新しい工程を追加することなしに、ポリダイオード素子を形成することができるという効果を奏する。

【0106】請求項13に係る半導体装置の製造方法に

よれば、NMOSトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、該N⁺イオンを上記ポリシリコン層中に注入し、それによってポリダイオード素子のN型層を形成するので、新しい工程を追加することなしに、ポリダイオード素子を形成することができるという効果を奏する。

【0107】請求項14に係る半導体装置の製造方法によれば、NMOS型メモリセルトランジスタのソース・ドレイン領域を形成するためのN⁺イオン注入と同時に、該N⁺イオンをポリシリコン層中に注入し、それによってポリダイオード素子のN型層を形成するので、新しい工程の追加なしに、ポリダイオード素子を形成することができるという効果を奏する。

【図面の簡単な説明】

【図1】 本発明が適用される不揮発性半導体記憶装置の1つであるDINOR型フラッシュメモリの、メモリの書込・消去動作を説明する図である。

【図2】 実施の形態に係る不揮発性半導体記憶装置の断面図である。

【図3】 実施の形態に係る不揮発性半導体記憶装置の製造方法の順序の第1の工程における半導体装置の断面図である。

【図4】 実施の形態に係る不揮発性半導体記憶装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図5】 実施の形態に係る不揮発性半導体記憶装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図6】 実施の形態に係る不揮発性半導体記憶装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図7】 実施の形態に係る不揮発性半導体記憶装置の製造方法の順序の第5の工程における半導体装置の断面図である。

【図8】 実施の形態に係る不揮発性半導体記憶装置の製造方法の順序の第6の工程における半導体装置の断面図である。

【図9】 実施の形態に係る不揮発性半導体記憶装置の製造方法の順序の第7の工程における半導体装置の断面図である。

【図10】 実施の形態に係る不揮発性半導体記憶装置の製造方法の順序の第8の工程における半導体装置の断面図である。

【図11】 実施例1に係るポリダイオード素子の断面図である。

【図12】 実施例2に係るポリダイオード素子の断面図である。

【図13】 実施例2に係るポリダイオード素子の製造方法を示す半導体装置の断面図である。

【図14】 実施例3に係るポリダイオード素子の断面

図である。

【図15】 実施例3に係るポリダイオード素子の製造方法の主要工程における半導体装置の断面図である。

【図16】 実施例4に係るポリダイオード素子の断面図である。

【図17】 実施例5に係るポリダイオード素子の断面図である。

【図18】 実施例5に係るポリダイオード素子の製造方法の順序の第1の工程における半導体装置の断面図である。

【図19】 実施例5に係るポリダイオード素子の製造方法の順序の第2の工程における半導体装置の断面図である。

【図20】 実施例1～5の変形例に係るポリダイオード素子の製造方法の主要工程における半導体装置の断面図である。

【図21】 実施例6に係るポリダイオード素子の断面図である。

【図22】 実施例1～6に係るポリダイオード素子の等価回路図である。

【図23】 実施例1～6で得られたポリダイオード素子の特性を示す図である。

【図24】 実施例1～6で得られたポリダイオード素子の特性を示す図である。

【図25】 実施例7に係るポリダイオード素子の平面図と、A-A線に沿う断面図である。

【図26】 実施例8に係るポリダイオード素子の平面図と、A-A線に沿う断面図である。

【図27】 実施例9に係るポリダイオード素子の平面図と、A-A線に沿う断面図である。

【図28】 実施例10に係るポリダイオード素子の平面図と、A-A線に沿う断面図である。

【図29】 実施例11に係るポリダイオード素子の平面図と、A-A線に沿う断面図と、B-B線に沿う断面図である。

【図30】 実施例12に係るポリダイオード素子の平面図と、A-A線に沿う断面図である。

【図31】 実施例12に係るポリダイオード素子の製造方法の順序の第1の工程における半導体装置の断面図である。

【図32】 実施例12に係るポリダイオード素子の製造方法の順序の第2の工程における半導体装置の断面図である。

【図33】 実施例12に係るポリダイオード素子の製造方法の順序の第3の工程における半導体装置の断面図である。

【図34】 実施例12に係るポリダイオード素子の製造方法の順序の第4の工程における半導体装置の平面図である。

【図35】 実施例13に係るポリダイオード素子の平

面図とA-A線に沿う断面図である。

【図36】 実施例14に係るポリダイオード素子の平面図とA-A線に沿う断面図である。

【図37】 実施例15に係るポリダイオード素子の平面図とA-A線に沿う断面図である。

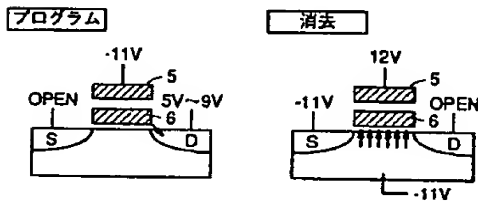
【図38】 従来のポリダイオード素子の断面図である。

*【符号の説明】

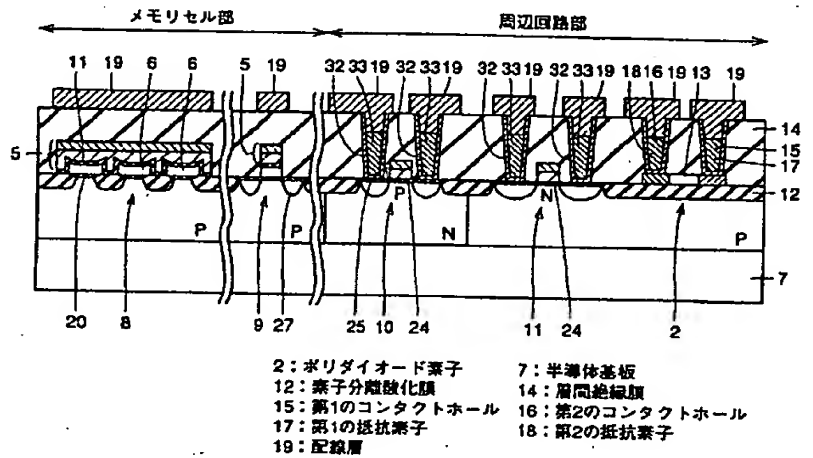
2 ポリダイオード素子、6 フローティングゲート、7 半導体基板、12 素子分離酸化膜、14 層間絶縁膜、15 第1のコンタクトホール、16 第2のコンタクトホール、17 第1の抵抗素子、18 第2の抵抗素子、19 配線層。

*

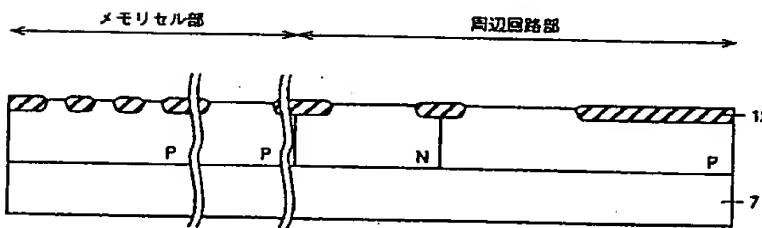
【図1】



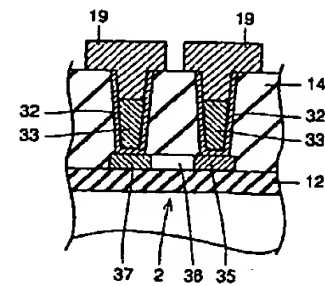
【図2】



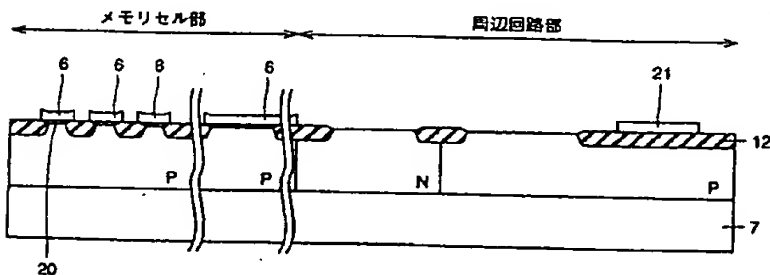
【図3】



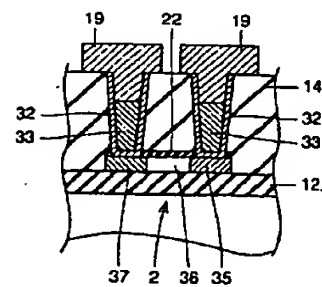
【図11】



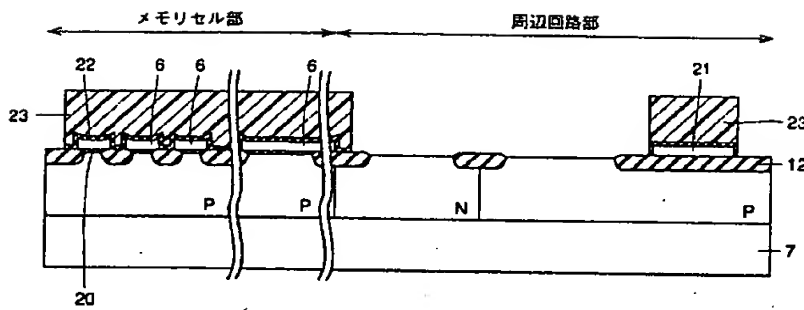
【図4】



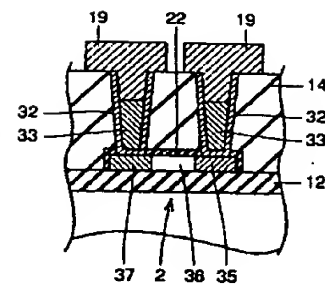
【図12】



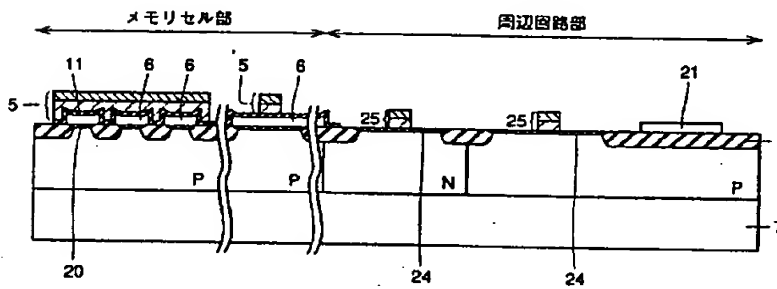
【図5】



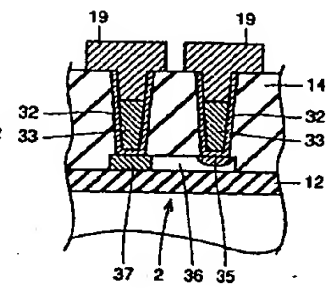
【図14】



【図6】



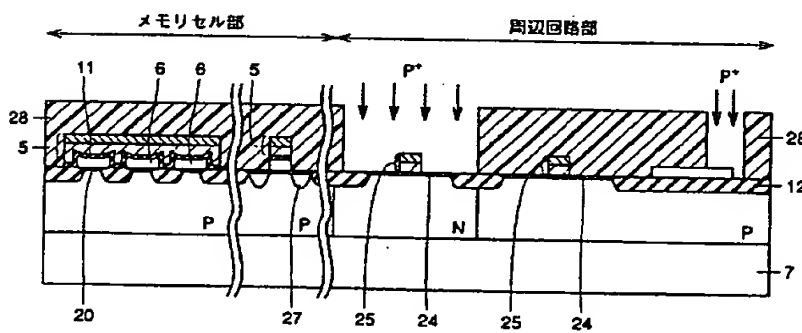
【図16】



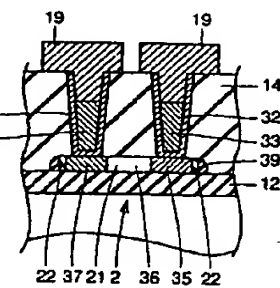
【図22】



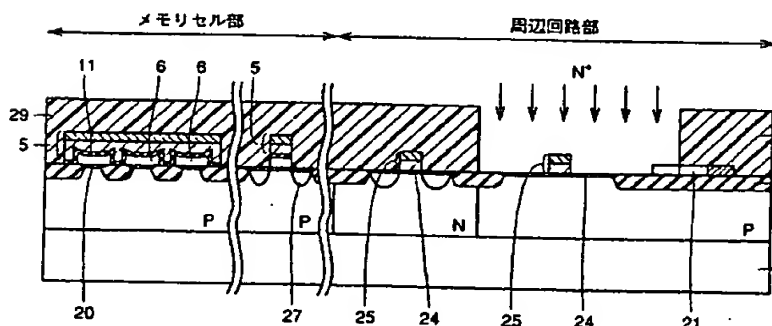
【図7】



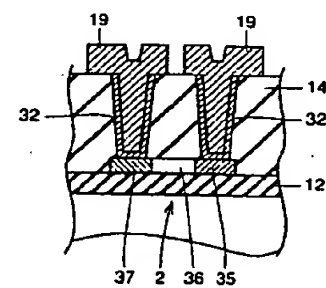
【図17】



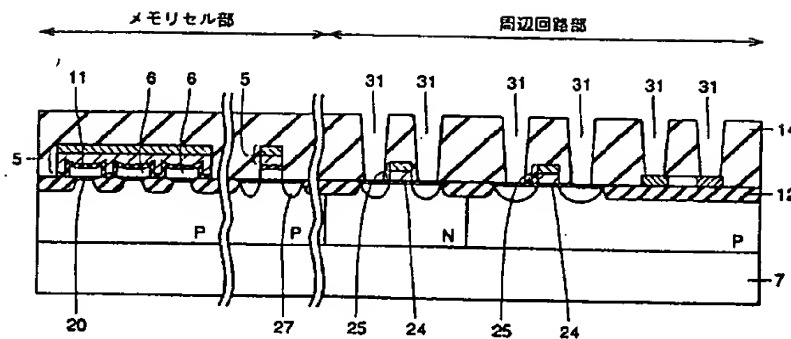
【図8】



【図21】

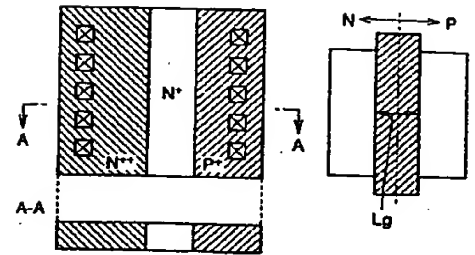


【図9】

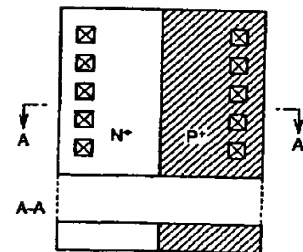


【図25】

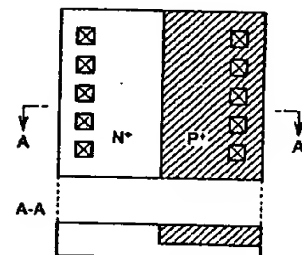
【図34】



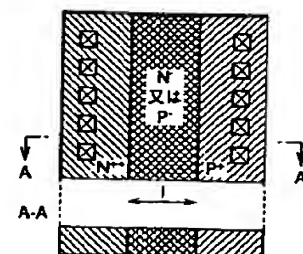
【図26】



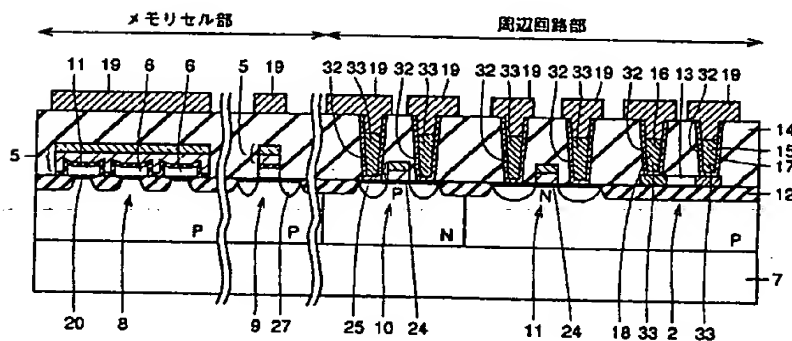
【図27】



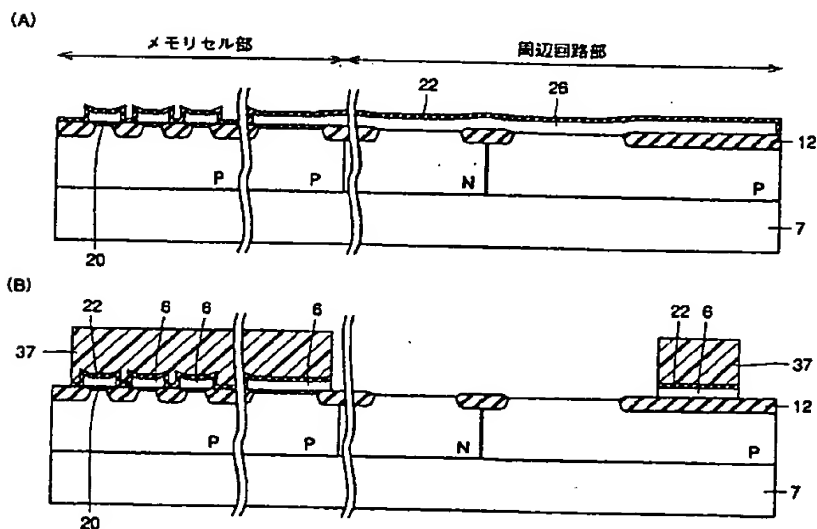
【図28】



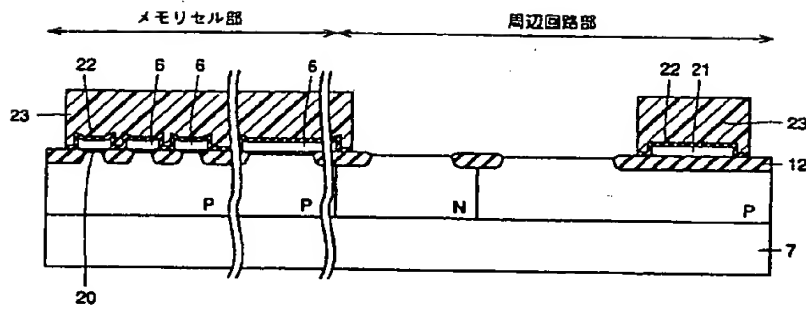
【図10】



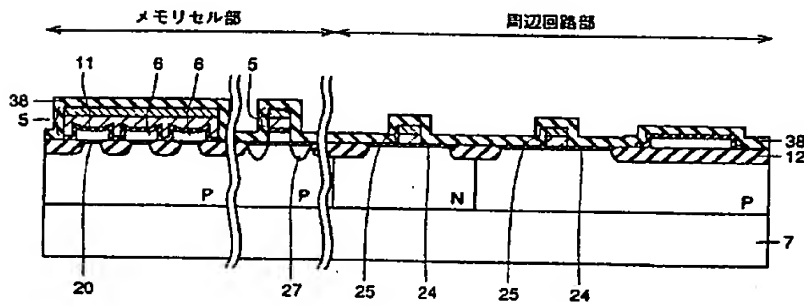
【図13】



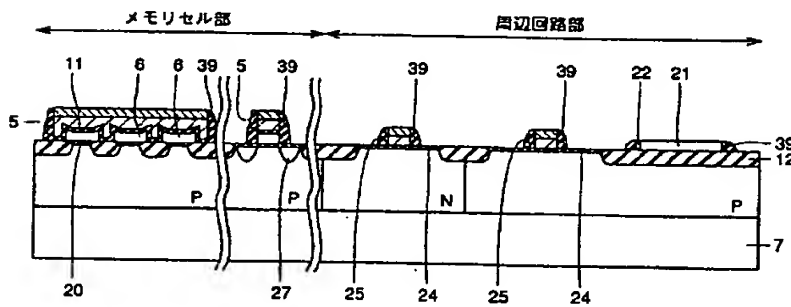
【図15】



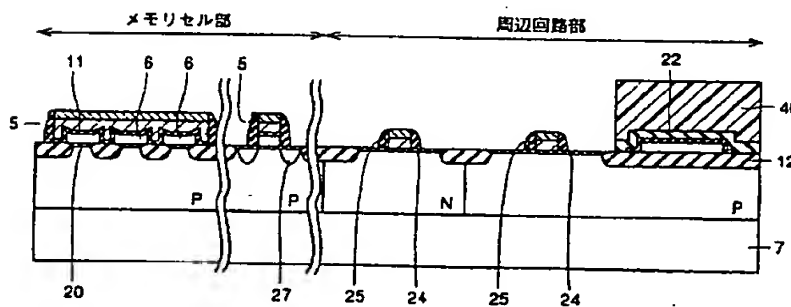
【図18】



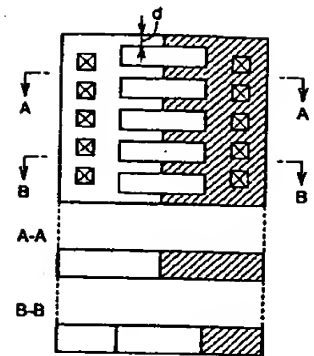
【図19】



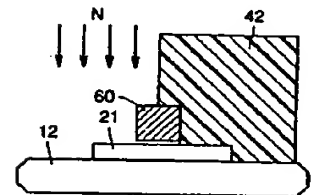
【図20】



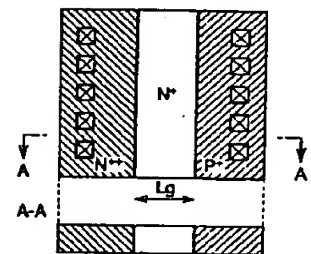
【図29】



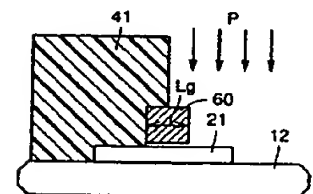
【図33】



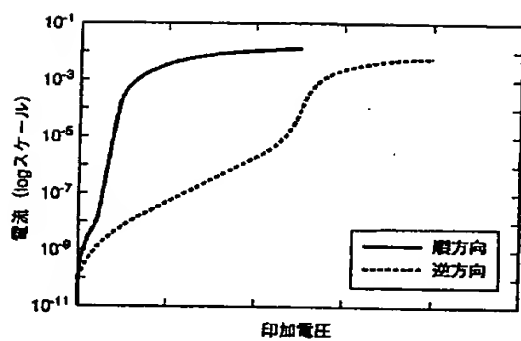
【図30】



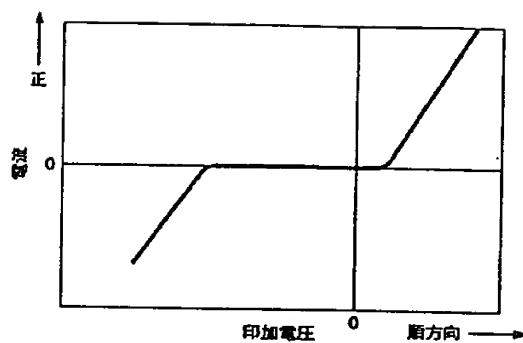
【図32】



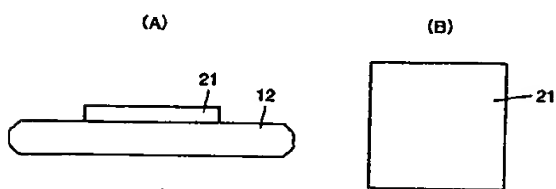
【図23】



【図24】

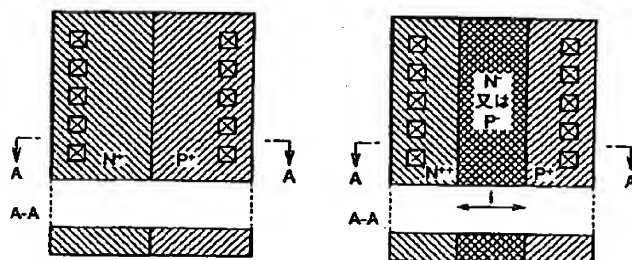


【図31】



【図35】

【図36】



【図37】

【図38】

